

CERTIFIED COPY OF
PRIORITY DOCUMENT

대한민국 특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE

JC997 U.S. PRO

09/867971



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 특허출원 2000년 제 65352 호
Application Number

출원년월일 : 2000년 11월 04일
Date of Application

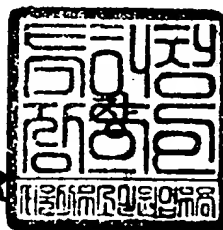
출원인 : 삼성전자 주식회사
Applicant(s)



2000 년 11 월 24 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2000.11.04
【국제특허분류】	H03L
【발명의 명칭】	락 시간을 단축시키는 제어회로를 구비하는 위상동기루프 회로
【발명의 영문명칭】	Phase locked loop including control circuit for reducing lock-time
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【대리인】	
【성명】	이래호
【대리인코드】	9-1999-000226-8
【포괄위임등록번호】	2000-002818-3
【발명자】	
【성명의 국문표기】	이종행
【성명의 영문표기】	LEE, Jong Haeng
【주민등록번호】	660603-1406112
【우편번호】	449-900
【주소】	경기도 용인시 기흥읍 농서리 삼성전자 반도체 기숙사 월계수동 602 호
【국적】	KR
【심사청구】	청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

이영필 (인) 대리인

정상빈 (인) 대리인

이래호 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 5 면 5,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 12 항 493,000 원

【합계】 527,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】

【요약】

락 시간을 단축시키는 제어회로를 구비하는 위상동기루프 회로(이하 PLL)를 개시한다. 상기 PLL은, 제어회로, 수신분주기, 기준분주기, 송신분주기, 제1위상검출기 및 제2위상검출기를 구비한다. 상기 제어회로는 수신 인에이블 신호 및 송신 인에이블 신호에 응답하여 기준제어 신호를 발생시킨다. 상기 수신분주기는 수신 인에이블 신호에 응답하여 수신 분주데이터 신호를 수신하고, 수신용 전압제어 발진기의 출력신호를 상기 수신 분주데이터 신호에 따라 분주한다. 상기 기준분주기는 상기 제어회로의 상기 기준제어 신호에 응답하여 기준 분주데이터 신호를 수신하고, 수정발진기의 출력신호를 상기 기준 분주데이터 신호에 따라 분주한다. 상기 송신분주기는 송신 인에이블 신호에 응답하여 송신 분주데이터 신호를 수신하고, 송신용 전압제어 발진기의 출력신호를 상기 송신 분주데이터 신호에 따라 분주한다. 상기 제1위상검출기는 상기 수신분주기의 출력신호 및 상기 기준분주기의 출력신호를 수신하여 주파수 및 위상 차이를 검출하고, 상기 제2위상검출기는 상기 송신분주기의 출력신호 및 상기 기준분주기의 출력신호를 수신하여 주파수 및 위상 차이를 검출한다.

【대표도】

도 3

【명세서】

【발명의 명칭】

락 시간을 단축시키는 제어회로를 구비하는 위상동기루프 회로{Phase locked loop including control circuit for reducing lock-time}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 사용되는 도면을 보다 충분히 이해하기 위하여, 각 도면의 간단한 설명이 제공된다.

도 1은 통신기기에 사용되는 종래의 주파수 합성기(frequency synthesizer)의 블록도이다.

도 2는 도 1에 도시된 종래의 PLL의 동작시 각 신호의 파형도이다.

도 3은 본 발명의 제1실시예에 따른 제어회로를 구비하는 PLL의 블록도이다.

도 4는 도 3에 도시된 PLL의 동작시 각 신호의 파형도이다.

도 5는 본 발명의 제2실시예에 따른 제어회로를 구비하는 PLL의 블록도이다.

도 6은 도 5에 도시된 PLL의 동작시 각 신호의 파형도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <8> 본 발명은 유무선 통신기의 주파수합성기(frequency synthesizer)에 관한 것으로, 특히 락 시간을 단축시키는 제어회로를 구비하는 PLL에 관한 것이다.
- <9> 디지털 주파수 합성기는, 프로그래머블 카운터(programmable counter)의 값을 조정

함으로써 보다 광범위한 주파수를 출력하는 PLL을 말하는데, 오늘날 아마추어 무선, 무선전화기, 항공기 등의 통신 시스템은 여러 가지의 상기 주파수 합성기를 사용하고 있다.

<10> 기본적으로 주파수 합성기는, 하나의 입력신호인 기준입력주파수의 정수 배의 출력신호를 생성한다.

<11> 도 1은 통신기기에 사용되는 기본적인 주파수 합성기(frequency synthesizer)의 일 실시예를 나타내는 블록도이다.

<12> 도 1을 참조하면, 주파수 합성기는, 마이컴(11), 수정발진기(12), 위상동기루프 회로(100), 수신용 전압제어 발진기(13) 및 송신용 전압제어 발진기(14)를 구비한다.

<13> 마이컴(11)은 PLL(100)을 제어하기 위한 2 개의 직렬데이터(D/D 및 En) 및 콘트롤 클락(CLK)을 출력한다. 직렬데이터(D/D)는 수신분주율, 기준분주율 및 송신분주율에 대한 정보를 가진 신호이며, 직렬데이터(En)는 수신 인에이블 신호, 기준 인에이블 신호 및 송신 인에이블 신호를 포함하는 신호이며, 콘트롤클락(CLK)에 맞춰 직렬데이터(D/D 및 EN)가 PLL(100)에 입력된다.

<14> 수정발진기(12; Crystal Oscillator)는 수신용 전압제어 발진기(13)의 출력신호(R/V) 및 송신용 전압제어 발진기(14)의 출력신호(T/V)와 주파수 및 위상을 비교하기 위한 기준주파수 신호(X/O)의 공급원이다.

<15> 수신용 전압제어 발진기(13; Rx-Voltage Controled Oscillator)는 유무선 전화기가 수신모드일 때 사용하기 위한 발진기이고, 송신용 전압제어 발진기(14; Tx-Voltage Controled Oscillator)는 송신모드일 때 사용하기 위한 발진기이다.

- <16> PLL(100)은 유무선 전화기시스템이 정상적인 동작주파수에서 동작이 되도록 전압 제어 발진기들(13, 14)의 출력신호를 적당한 주파수에서 안정화시키는 데 사용하며, 래치(111), 수신분주기(112), 기준분주기(113), 송신분주기(114), 제1위상검출기(115) 및 제2위상검출기(116)를 구비한다.
- <17> 래치(111)는, 마이컴(11)으로부터 두 개의 직렬데이터신호(D/D 및 En) 및 콘트롤클럭(CLK)을 수신하여 수신 분주데이터 신호(RXDD), 기준 분주데이터 신호(REFDD), 송신 분주데이터 신호(TXDD), 수신 인에이블 신호(RXEN), 기준 인에이블 신호(REFEN) 및 송신 인에이블 신호(TXEN)를 출력한다.
- <18> 수신분주기(112)는 수신 인에이블 신호(RXEN)에 응답하여 수신 분주데이터 신호(RXDD)를 수신하고, 수신용 전압제어 발진기(13)의 출력신호(R/V)를 수신 분주데이터 신호(RXDD)에 따라 분주한다.
- <19> 기준분주기(113)는 기준 인에이블 신호(REFEN)에 응답하여 기준 분주데이터 신호(REFDD)를 수신하고, 수정발진기(12)의 출력신호(X/O)를 기준 분주데이터 신호(REFDD)에 따라 분주한다.
- <20> 송신분주기(114)는 송신 인에이블 신호(TXEN)에 응답하여 송신 분주데이터 신호(TXDD)를 수신하고, 송신용 전압제어 발진기(14)의 출력신호(T/V)를 송신 분주데이터 신호(TXDD)에 따라 분주한다.
- <21> 제1위상검출기(115)는 수신분주기(112)의 출력신호(FDRX) 및 기준분주기(113)의 출력신호(FDREF)를 수신하여 주파수 및 위상 차이를 검출하고,
- <22> 제2위상검출기(116)는 송신분주기(114)의 출력신호(FBTX) 및 기준분주기(113)의 출

력신호(FDREF)를 수신하여 주파수 및 위상 차이를 검출한다.

<23> 도 2는 도 1에 도시된 종래의 PLL의 동작시 각 신호의 파형도이다.

<24> 여기서, CLK는 유무선 통신기에서 사용하는 시스템클락이다.

<25> 도 2를 참조하면, 수신 인에이블 신호(RXEN)가 논리 하이(high)일 때, 수신분주기(112)의 출력신호(FDRX)가 발생한다. 여기서 출력신호(FDRX)는 수신 분주데이터 신호(RXDD)의 분주율에 따라 수신용 전압제어발진기(13)의 출력신호(R/V)를 분주한 결과신호이다.

<26> 송신 인에이블 신호(TXEN)가 논리 하이일 때, 송신분주기(114)의 출력신호(FDTX)가 발생하고, 기준 인에이블 신호(REFEN)가 논리 하이일 때 기준분주기(113)의 출력신호(FDREF)가 발생한다. 출력신호(FDTX)는 송신 분주데이터 신호(TXDD)의 분주율에 따라 송신용 전압제어발진기(14)의 출력신호(T/V)를 분주한 신호이고, 출력신호(FDREF)는 기준 분주데이터 신호(REFDD)의 분주율에 따라 수정발진기(12)의 출력신호(X/O)를 분주한 신호이다.

<27> 분주기들(112 내지 114)의 출력신호들(FDRX, FDREF 및 FDTX)은 제1위상검출기(115) 및 제2위상검출기(116)에서 주파수 및 위상 차이가 비교 검출되는데, 도 2를 참조하면, 출력신호(FDRX)와 출력신호(FDREF)의 위상차이가 rx-위상에러로 표시되며, 출력신호(FDREF)와 출력신호(FDTX)의 위상차이가 tx-위상에러로 표시되어 있다.

<28> 그러나 상기 rx-위상에러와 상기 tx-위상에러는 인에이블 신호(EN)의 주기만큼의 위상차이를 기본적으로 가지게 되므로, 비교되는 두 신호들(FDRX와 FDREF 및 FDREF와 FDTX)의 위상차이는, 두 신호들(FDRX와 FDREF 및 FDREF와 FDTX)의 고유의 위상차이에 상

기 rx-위상에러 및 상기 tx-위상에러만큼 더해지므로, PLL의 락 시간이 더 길어지게 되는 단점이 있다.

【발명이 이루고자 하는 기술적 과제】

<29> 따라서 본 발명이 이루고자 하는 기술적 과제는, 비교되는 신호들의 동기를 일치시켜 락 시간을 감소시키는 제어회로를 구비하는 위상동기루프 회로를 제공하는 데 있다.

【발명의 구성 및 작용】

<30> 상기 기술적 과제를 달성하기 위한 본 발명의 일 태양에 따르면, 래치, 수신분주기, 기준분주기, 송신분주기, 제1위상검출기, 제2위상검출기 및 제1제어회로를 구비하는 PLL회로를 제공한다.

<31> 상기 래치는, 마이컴으로부터 상기 분주기들의 분주율에 대한 정보를 포함하는 일 직렬데이터신호를 수신하여 수신 분주데이터 신호, 기준 분주데이터 신호, 송신 분주데이터 신호를 출력하고, 스위치의 개폐여부에 대한 정보를 포함하는 다른 일 직렬데이터신호를 수신하여 수신 인에이블 신호, 기준 인에이블 신호 및 송신 인에이블 신호를 출력한다.

<32> 상기 제1제어회로는, 상기 래치의 상기 수신 인에이블 신호 및 상기 송신 인에이블 신호를 논리 덧셈한다.

<33> 상기 수신분주기는, 상기 수신 인에이블 신호에 응답하여 상기 수신 분주데이터 신호를 수신하고, 수신용 전압제어 발진기의 출력신호를 상기 수신 분주데이터 신호에 따라 분주한다.

<34> 상기 기준분주기는 상기 제1제어회로의 출력신호에 응답하여 상기 기준 분주데이터

신호를 수신하고, 수정발진기의 출력신호를 상기 기준 분주데이터 신호에 따라 분주한다.

<35> 상기 송신분주기는 상기 송신 인에이블 신호에 응답하여 상기 송신 분주데이터 신호를 수신하고, 송신용 전압제어 발진기의 출력신호를 상기 송신 분주데이터 신호에 따라 분주한다.

<36> 상기 제1위상검출기는, 상기 수신분주기 및 상기 기준분주기의 출력신호들의 위상 및 주파수의 차이를 검출하며, 상기 제2위상검출기는, 상기 송신분주기 및 상기 기준분주기의 출력신호의 위상 및 주파수의 차이를 검출한다.

<37> 상기 기술적 과제를 달성하기 위한 본 발명의 다른 일 태양에 따르면, 래치, 수신분주기, 기준분주기, 송신분주기, 제1위상검출기, 제2위상검출기 및 제2제어회로를 구비하는 위상동기루프 회로를 제공한다.

<38> 상기 래치는, 상기 마이컴으로부터 상기 분주기들의 분주율에 대한 정보를 포함하는 일 직렬데이터신호를 수신하여 수신 분주데이터 신호, 기준 분주데이터 신호, 송신 분주데이터 신호를 출력하고, 스위치의 개폐여부에 대한 정보를 포함하는 다른 일 직렬데이터신호를 수신하여 수신 인에이블 신호, 기준 인에이블 신호 및 송신 인에이블 신호를 출력한다.

<39> 상기 제2제어회로는, 제1인버터, 제2인버터, 제1플립플롭(flip flop), 제2플립플롭을 구비한다.

<40> 상기 제1인버터는, 상기 래치의 상기 수신 인에이블 신호의 위상을 반전시키고, 상기 제2인버터는, 상기 래치의 상기 송신 인에이블 신호의 위상을 반전시킨다.

- <41> 상기 제1플립플랍은, 클락단자에는 상기 기준분주기의 출력신호가, D입력단자에는 전원전압이, 리셋단자에는 상기 제1인버터의 출력신호가 인가되고 일 출력단자로부터 제1제어신호를 출력한다.
- <42> 상기 제2플립플랍은, 클락단자에는 상기 기준분주기의 출력신호가, D입력단자에는 전원전압이, 리셋단자에는 상기 제2인버터의 출력신호가 인가되고 일 출력단자로부터 제2제어신호를 출력한다.
- <43> 상기 수신분주기는, 상기 제2제어회로의 상기 제1제어신호에 응답하여 상기 수신 분주데이터 신호를 수신하고, 수신용 전압제어 발진기의 출력신호를 상기 수신 분주데이터 신호에 따라 분주한다.
- <44> 상기 기준분주기는 기준 인에이블 신호에 응답하여 상기 기준 분주데이터 신호를 수신하고, 수정발진기의 출력신호를 상기 기준 분주데이터 신호에 따라 분주한다.
- <45> 상기 송신분주기는 상기 제2제어회로의 상기 제2제어신호에 응답하여 상기 송신 분주데이터 신호를 수신하고, 송신용 전압제어 발진기의 출력신호를 상기 송신 분주데이터 신호에 따라 분주한다.
- <46> 상기 제1위상검출기는, 상기 수신분주기의 출력신호 및 상기 기준분주기의 출력신호의 위상 및 주파수의 차이를 검출하며, 상기 제2위상검출기는, 상기 송신분주기의 출력신호 및 상기 기준분주기의 출력신호의 위상 및 주파수의 차이를 검출한다.
- <47> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 대하여, 동일한 참조부호는 동일한 부재임을 나타낸다.

- <48> 도 3은 본 발명의 제1실시예에 따른 PLL의 블록도이다.
- <49> 도 3을 참조하면, 본 발명의 제1실시예에 따른 PLL은, 래치(111), 제1제어회로(350), 수신분주기(320), 기준분주기(330), 송신분주기(340), 제1위상검출기(13) 및 제2위상검출기(14)를 구비한다.
- <50> 래치(111)는, 마이컴(미도시)으로부터 직렬데이터(D/D)를 수신하여 수신 분주데이터 신호(RXDD), 기준 분주데이터 신호(REFDD) 및 송신 분주데이터 신호(TXDD)를 출력하고, 직렬데이터(EN)를 수신하여 수신 인에이블 신호(RXEN), 기준 인에이블 신호(REFEN) 및 송신 인에이블 신호(TXEN)를 출력한다.
- <51> 제1제어회로(350)는, 래치(111)로부터 수신된 수신 인에이블 신호(RXEN) 및 송신 인에이블 신호(TXEN)를 논리 덧셈하여 제1제어신호(REFCONEN)를 출력한다.
- <52> 수신분주기(320)는, 제1스위치(321) 및 수신카운터(322)를 구비한다.
- <53> 제1스위치(321)는 수신 인에이블 신호(RXEN)에 응답하여 수신 분주데이터 신호(RXDD)를 스위칭하고, 수신카운터(322)는 수신용 전압제어 발진기(미도시)의 출력신호(R/V)를 제1스위치(321)를 통해 수신된 수신 분주데이터 신호(RXDD)에 따라 분주한다.
- <54> 기준분주기(330)는, 제2스위치(331) 및 기준카운터(332)를 구비한다.
- <55> 제2스위치(331)는 제1제어회로(35)의 출력신호(REFCONEN)에 응답하여 기준 분주데이터 신호(REFDD)를 스위칭하고, 기준카운터(332)는 수정발진기(미도시)의 출력신호(X/O)를 기준 분주데이터 신호(REFDD)에 따라 분주한다.
- <56> 송신분주기(340)는, 제3스위치(341) 및 송신카운터(342)를 구비한다.
- <57> 제3스위치(341)는 송신 인에이블 신호(TXEN)에 응답하여 송신 분주데이터 신호

(TXDD)를 스위칭하고, 송신용 전압제어 발진기(미도시)의 출력신호(T/V)를 송신 분주데이터 신호(TXDD)에 따라 분주한다.

<58> 제1위상검출기(13)는, 수신분주기(322)의 출력신호(FDRX) 및 기준분주기(330)의 출력신호(FDREF)의 위상 및 주파수의 차이를 검출하며, 제2위상검출기(14)는, 송신분주기(340)의 출력신호(FDTX) 및 기준분주기(330)의 출력신호(FDREF)의 위상 및 주파수의 차이를 검출한다.

<59> 도 4는 도 3에 도시된 PLL의 동작시 각 신호의 파형도이다.

<60> 도 4를 참조하면, 수신 인에이블 신호(RXEN)가 논리 하이(high)일 때, 수신분주기(320)의 출력신호(FDRX)가 발생한다. 이 순간 제1제어회로(350)의 출력신호(REFCONEN)는 논리 하이가 되어 기준분주기(330)의 출력신호(FDREF)가 동시에 발생된다.

<61> 송신 인에이블 신호(TXEN)가 논리 하이일 때, 송신분주기(340)의 출력신호(FDTX)가 발생하고, 이 순간 제1제어회로(350)의 출력신호(REFCONEN)도 논리 하이가 되어 기준분주기(330)의 출력신호(FDREF)가 동시에 발생된다.

<62> 다시 말하면, 수신 인에이블 신호(RXEN)의 폴링엣지(falling edge)에서 수신분주기(320)의 출력신호(FDRX)가 발생함과 동시에 기준분주기(330)의 출력신호(FDREF)가 발생하고, 송신 인에이블 신호(TXEN)의 폴링엣지에서 송신분주기(340)의 출력신호(FDTX)가 발생함과 동시에 기준분주기(330)의 출력신호(FDREF)가 발생한다.

<63> 상기와 같이 서로 비교되는 두 개의 신호들 즉 신호(FDRX)와 신호(FDREF) 및 신호(FDTX)와 신호(FDREF)는, 발생초기에 동기가 서로 일치되게 된다. 따라서 락 시간은, 비교되는 두 신호 즉 신호(FDRX)와 신호(FDREF) 및 신호(FDTX)와 신호(FDREF)의 실제 위상

및 주파수의 차이에 의해서만 결정된다.

<64> 도 5는 본 발명의 제2실시예에 따른 PLL의 블록도이다.

<65> 도 5를 참조하면, 본 발명의 제2실시예에 따른 PLL은, 래치(111), 제2제어회로(360), 수신분주기(320), 기준분주기(330), 송신분주기(340), 제1위상검출기(13) 및 제2위상검출기(14)를 구비한다.

<66> 래치(111)는, 마이컴(미도시)으로부터 직렬데이터(D/D)를 수신하여 수신 분주데이터 신호(RXDD), 기준 분주데이터 신호(REFDD) 및 송신 분주데이터 신호(TXDD)를 출력하고, 직렬데이터(EN)를 수신하여 수신 인에이블 신호(RXEN), 기준 인에이블 신호(REFEN) 및 송신 인에이블 신호(TXEN)를 출력한다.

<67> 제2제어회로(360)는, 제1인버터(363), 제2인버터(364), 제1플립플랍(361) 및 제2플립플랍(362)를 구비한다.

<68> 제1인버터(363)는, 수신 인에이블 신호(RXEN)를 반전시키며, 제2인버터(364)는 송신 인에이블 신호(TXEN)를 반전시킨다.

<69> 제1플립플랍(361)은, 클락단자(CLK)에는 기준분주기(330)의 출력신호(FDREF)가, 입력단자(D)에는 전원전압(Vcc)이, 리셋단자(R)에는 제1인버터의 출력신호가 인가되고 출력단자(QB)로부터 수신 제어신호(RXCONEN)를 출력한다.

<70> 제2플립플랍(362)은, 클락단자(CLK)에는 기준분주기(330)의 출력신호가(FDREF), 입력단자(D)에는 전원전압(Vcc)이, 리셋단자(R)에는 제2인버터(364)의 출력신호가 인가되고 출력단자(QB)로부터 송신 제어신호(TXCONEN)를 출력한다.

<71> 수신분주기(320)는, 제1스위치(321) 및 수신카운터(322)를 구비한다.

- <72> 제1스위치(321)는 제2제어회로(360)의 수신 제어신호(RXCONEN)에 응답하여 수신 분주데이터 신호(RXDD)를 스위칭하고, 수신카운터(322)는 수신용 전압제어 발진기(미도시)의 출력신호(R/V)를 제1스위치(321)를 통해 수신된 수신 분주데이터 신호(RXDD)에 따라 분주한다.
- <73> 기준분주기(330)는, 제2스위치(331) 및 기준카운터(332)를 구비한다.
- <74> 제2스위치(331)는 수신 인에이블 신호(RXEN)에 응답하여 기준 분주데이터 신호(REFDD)를 스위칭하고, 기준카운터(332)는 수정발진기(미도시)의 출력신호(X/O)를 기준 분주데이터 신호(REFDD)에 따라 분주한다.
- <75> 송신분주기(340)는, 제3스위치(341) 및 송신카운터(342)를 구비한다.
- <76> 제3스위치(341)는 제2제어회로(360)의 송신 제어신호(TXCONEN)에 응답하여 송신 분주데이터 신호(TXDD)를 스위칭하고, 송신용 전압제어 발진기(미도시)의 출력신호(T/V)를 송신 분주데이터 신호(TXDD)에 따라 분주한다.
- <77> 제1위상검출기(13)는, 수신분주기(320)의 출력신호(FDRX) 및 기준분주기(330)의 출력신호(FDREF)의 위상 및 주파수의 차이를 검출하며, 제2위상검출기(14)는, 송신분주기(340)의 출력신호(FDTX) 및 기준분주기(330)의 출력신호(FDREF)의 위상 및 주파수의 차이를 검출한다.
- <78> 도 6은 도 5에 도시된 PLL의 동작시 각 신호의 파형도이다.
- <79> 도 5 및 도 6을 참조하면, 기준 인에이블 신호(REFEN)에 의해 기준분주기(330)의 출력신호(FDREF)가 발생된 후, 수신 인에이블 신호(RXEN)가 논리 하이(high)일 때 제2제어회로(360)의 제1플립플롭(361)의 출력신호(RXCONEN)가 수신분주기(320)의 제1스위치

(321)를 턴온시킨다. 래치(111)의 수신 분주데이터 신호(RXDD)가 제1스위치(321)를 통하여 수신카운터(322)에 공급되면, 수신카운터(322)는, 기준분주기(330)의 출력신호(FDREF)와 동기는 일치되되 한 주기만큼 지연된 출력신호(FDRX)를 발생시킨다.

<80> 기준 인에이블 신호(REFEN)에 의해 기준분주기(330)의 출력신호(FDREF)가 발생된 후, 송신 인에이블 신호(TXEN)가 논리 하이(high)일 때 제2제어회로(360)의 제2플립플롭(362)의 출력신호(TXCONEN)가 제3스위치(341)를 턴온시킨다. 래치(111)의 송신 분주데이터 신호(TXDD)가 송신분주기(340)의 제3스위치(341)를 통하여 송신카운터(342)에 공급되면, 송신카운터(342)는, 기준분주기(340)의 출력신호(FDREF)와 동기는 일치되되 한 주기만큼 지연된 출력신호(FDTX)를 발생시킨다.

<81> 상기와 같이 서로 비교되는 두 개의 신호들 즉 신호(FDRX)와 신호(FDREF) 및 신호(FDTX)와 신호(FDREF)는, 발생초기에 동기가 서로 일치되게 된다. 따라서 락 시간은, 비교되는 두 신호 즉 신호(FDRX)와 신호(FDREF) 및 신호(FDTX)와 신호(FDREF)의 실제 위상 및 주파수의 차이에 의해서만 결정된다.

<82> 본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<83> 상술한 바와 같이 본 발명에 따른 PLL회로는, 검출기에서 비교되는 신호들을 생성시킬 때 서로 동기를 일치시킴으로서, 비교되는 두 신호의 실제 위상차이만에 의해서 락

시간이 결정되므로, 동기가 일치하지 않음으로서 발생하는 락 시간의 지연을 상당히 줄
일 수 있는 장점이 있다.

【특허청구범위】**【청구항 1】**

수신 인에이블 신호 및 송신 인에이블 신호에 응답하여 기준 제어신호를 발생하는 제어회로;

수신 인에이블 신호에 응답하여 수신 분주데이터 신호를 수신하고, 수신용 전압제어 발진기의 출력신호를 상기 수신 분주데이터 신호에 따라 분주하는 수신분주기;

상기 제어회로의 기준 제어신호에 응답하여 기준 분주데이터 신호를 수신하고, 수정발진기의 출력신호를 상기 기준 분주데이터 신호에 따라 분주하는 기준분주기;

송신 인에이블 신호에 응답하여 송신 분주데이터 신호를 수신하고, 송신용 전압제어 발진기의 출력신호를 상기 송신 분주데이터 신호에 따라 분주하는 송신분주기;

상기 수신분주기의 출력신호 및 상기 기준분주기의 출력신호를 수신하여 주파수 및 위상 차이를 검출하는 제1위상검출기; 및

상기 송신분주기의 출력신호 및 상기 기준분주기의 출력신호를 수신하여 주파수 및 위상 차이를 검출하는 제2위상검출기를 구비하는 것을 특징으로 하는 위상동기루프 회로.

【청구항 2】

제1항에 있어서, 상기 제어회로는,

상기 수신 인에이블 신호 및 상기 송신 인에이블 신호를 논리합 하는 논리 덧셈기를 구비하는 것을 특징으로 하는 위상동기루프 회로.

【청구항 3】

제1항에 있어서, 상기 수신분주기는,

상기 수신 인에이블 신호에 응답하여 상기 수신 분주데이터 신호를 스위칭하는 제1스위치; 및

상기 제1스위치의 출력신호에 응답하여 상기 수신용 전압제어 발진기의 출력신호를 분주하는 수신카운터를 구비하는 것을 특징으로 하는 위상동기루프 회로.

【청구항 4】

제1항에 있어서, 상기 기준분주기는,

상기 제어회로의 상기 기준 제어신호에 응답하여 상기 기준 분주데이터 신호를 스위칭하는 제2스위치; 및

상기 제2스위치의 출력신호에 응답하여 상기 수정발진기의 출력신호를 분주하는 기준카운터를 구비하는 것을 특징으로 하는 위상동기루프 회로.

【청구항 5】

제1항에 있어서, 상기 송신분주기는,

상기 송신 인에이블 신호에 응답하여 상기 송신 분주데이터 신호를 스위칭하는 제3스위치; 및

상기 제3스위치의 출력신호에 응답하여 상기 송신용 전압제어 발진기의 출력신호를 분주하는 송신카운터를 구비하는 것을 특징으로 하는 위상동기루프 회로.

【청구항 6】

수신 인에이블 신호, 송신 인에이블 신호, 복수 개의 신호에 응답하는 수신 제어신호 및 송신 제어 신호를 출력하는 제어회로;

【청구항 6】

상기 제어회로의 상기 수신제어 신호에 응답하여 수신 분주데이터 신호를 수신하고, 수신용 전압제어 발진기의 출력신호를 상기 수신 분주데이터 신호에 따라 분주하는 수신분주기;

기준 인에이블 신호에 응답하여 기준 분주데이터 신호를 수신하고, 수정발진기의 출력신호를 상기 기준 분주데이터 신호에 따라 분주하는 기준분주기;

상기 제어회로의 송신제어 신호에 응답하여 송신 분주데이터 신호를 수신하고, 송신용 전압제어 발진기의 출력신호를 상기 송신 분주데이터 신호에 따라 분주하는 송신분주기;

상기 수신분주기의 출력신호 및 상기 기준분주기의 출력신호를 수신하여 주파수 및 위상 차이를 검출하는 제1위상검출기; 및

상기 송신분주기의 출력신호 및 상기 기준분주기의 출력신호를 수신하여 주파수 및 위상 차이를 검출하는 제2위상검출기를 구비하는 것을 특징으로 하는 위상동기루프 회로

【청구항 7】

제6항 있어서, 상기 제어회로는,

상기 수신 인에이블 신호의 위상을 역전시키는 제1인버터;

상기 송신 인에이블 신호의 위상을 역전시키는 제2인버터;

클락단자에는 상기 기준분주기의 출력신호가, 입력단자에는 전원전압이, 리셋단자

에는 상기 제1인버터의 출력신호가 인가되고 일 출력단자로부터 상기 수신제어 신호를 출력하는 제1플립플롭(flip flop); 및

클락단자에는 상기 기준분주기의 출력신호가, 입력단자에는 전원전압이, 리셋단자에는 상기 제2인버터의 출력신호가 인가되고 일 출력단자로부터 상기 송신제어 신호를 출력하는 제2플립플롭을 구비하는 것을 특징으로 하는 위상동기루프 회로.

【청구항 8】

제6항에 있어서, 상기 수신분주기는,

상기 제어회로의 상기 수신제어 신호에 응답하여 상기 수신 분주데이터 신호를 스위칭하는 제1스위치; 및

상기 제1스위치의 출력신호에 응답하여 상기 수신용 전압제어 발진기의 출력신호를 분주하는 수신카운터를 구비하는 것을 특징으로 하는 위상동기루프 회로.

【청구항 9】

제6항에 있어서, 상기 기준분주기는,

상기 기준 인에이블 신호에 응답하여 상기 기준 분주데이터 신호를 스위칭하는 제2스위치; 및

상기 제2스위치의 출력신호에 응답하여 상기 수정발진기의 출력신호를 분주하는 기준카운터를 구비하는 것을 특징으로 하는 위상동기루프 회로.

【청구항 10】

제6항에 있어서, 상기 송신분주기는,

상기 제어회로의 상기 송신제어 신호에 응답하여 상기 송신 분주데이터 신호를 스위칭하는 제3스위치; 및

상기 제3스위치의 출력신호에 응답하여 상기 송신용 전압제어발진기의 출력신호를 분주하는 송신카운터를 구비하는 것을 특징으로 하는 위상동기루프 회로.

【청구항 11】

제1항 및 제6항에 있어서, 상기 위상동기루프 회로는,

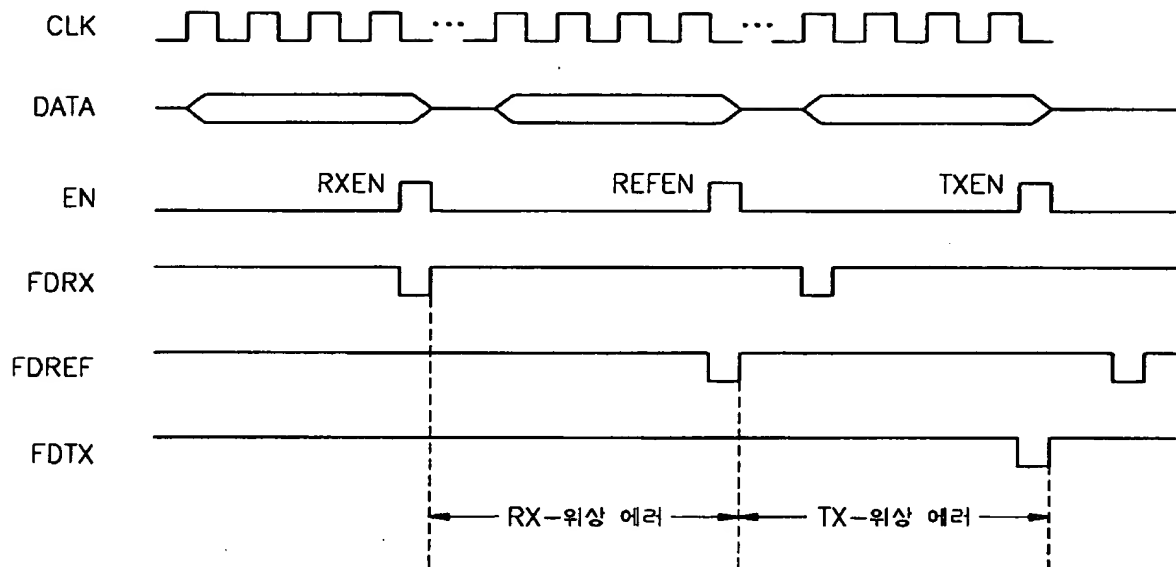
직렬데이터신호를 수신하여 상기 수신 분주데이터 신호, 상기 기준 분주데이터 신호, 상기 송신 분주데이터 신호, 상기 수신 인에이블 신호, 상기 기준 인에이블 신호 및 상기 송신 인에이블 신호를 출력하는 래치를 더 구비하는 것을 특징으로 하는 위상동기루프 회로.

【청구항 12】

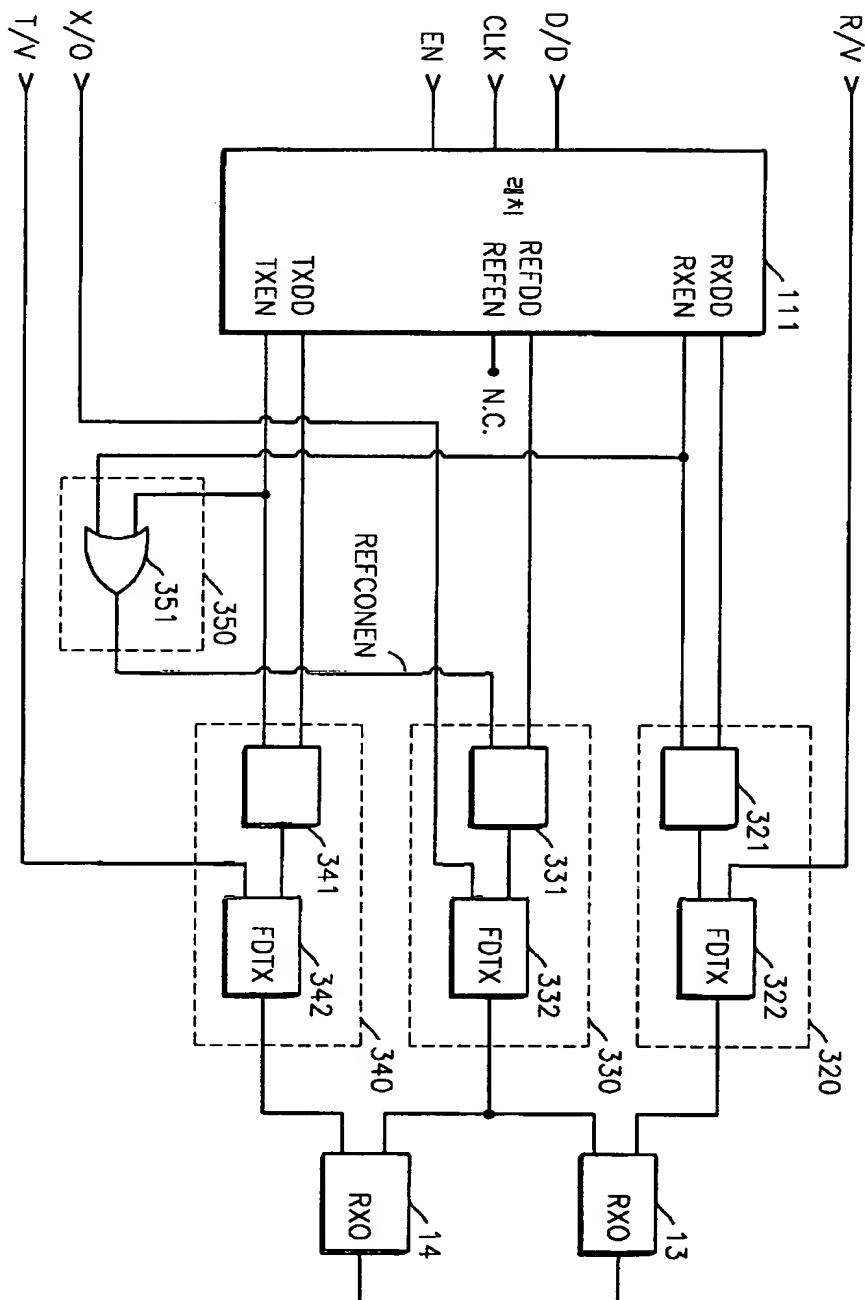
제3항 내지 제5항 및 제8항 내지 제10항에 있어서, 상기 제1스위치 내지 상기 제3스위치는,

엔모스 트랜지스터이거나 트랜스미션 게이트인 것을 특징으로 하는 위상동기루프 회로.

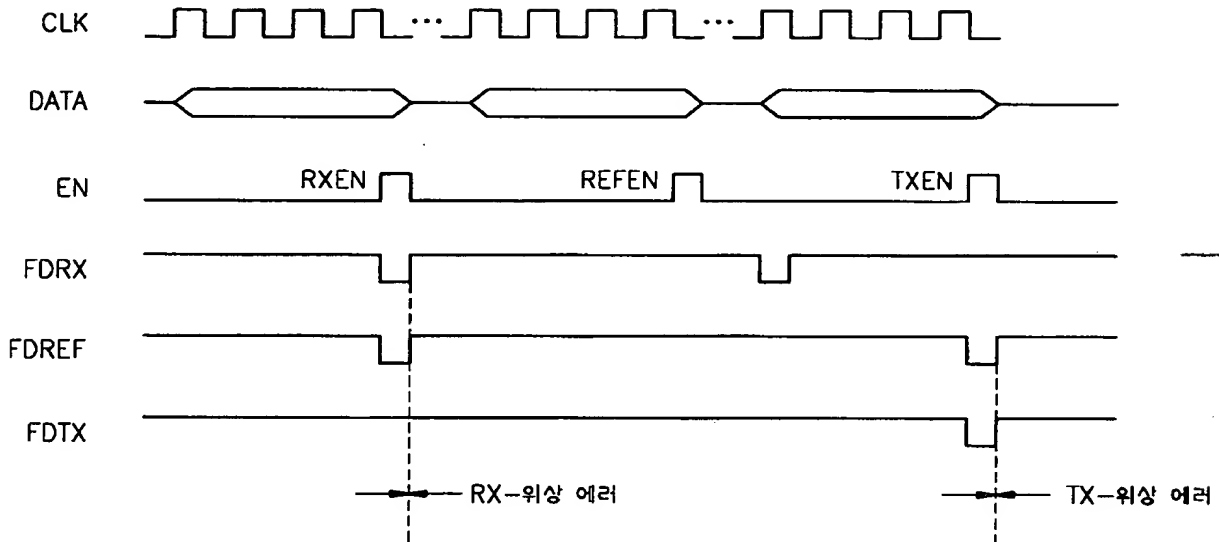
【도 2】



【도 3】



【도 4】



BEST AVAILABLE COPY

BEST AVAILABLE COPY

FIG. 1 is a block diagram of a multi-channel transceiver system. The system includes a central control block 111 with inputs R/V, D/D, CLK, and EN, and outputs RXDD, RXEN, REFDD, REFEN, TXDD, and TXEN. The RXDD and RXEN outputs are connected to a multi-channel receiver block 13, which contains three parallel receiver channels (320, 330, 340). Each channel consists of a variable gain amplifier (321, 331, 341) and a feedback delay block (FDIX, 322, 332, 342). The TXDD and TXEN outputs are connected to a multi-channel transmitter block 14, which contains three parallel transmitter channels (360, 361, 362). Each channel consists of a variable gain amplifier (363, 364) and a feedback delay block (FDIX, 361, 362). The system is powered by Vcc and ground (GND) connections.

【표 6】

